

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020083807 A
(43)Date of publication of application: 04.11.2002

(21)Application number: 1020010023458

(22)Date of filing: 30.04.2001

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.

(72)Inventor: KIM, DO HYEONG

(51)Int. Cl. H01L 21/76

(54) SEMICONDUCTOR DEVICE HAVING TRENCH ISOLATION STRUCTURE AND MANUFACTURING METHOD THEREOF

(57) Abstract:

PURPOSE: A semiconductor device having an STI(Shallow Trench Isolation) structure and a method for manufacturing the same are provided to prevent a leakage current of a cell capacitor by forming trench oxide layers having different thickness on a cell array and a peripheral regions.

CONSTITUTION: A first and second trench regions are formed in a cell array region(a) and a peripheral region(b) of a semiconductor substrate(100), respectively. A first trench isolation layer(30) is formed in the first trench region and a second trench isolation layer(31) is formed in the second trench region. The first isolation layer(30) further includes a first trench oxide(22) formed at inner walls of the first trench region, a first nitride liner(24a) formed on the first trench oxide(22), and a first insulating pattern(26a) filled into the first trench region. Also, the second isolation layer(31) further includes a second trench oxide(23) formed at inner walls of the second trench region, a second nitride liner(24b) formed on the second trench oxide, and a second insulating pattern(26b) filled into the second trench region. At this time, the first trench oxide(22) has a relatively thick thickness compared to the second trench oxide(23).

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (20030922)

Patent registration number (1004138300000)

Date of registration (20031219)

Best Available Copy

Family list

3 family members for:

KR2002083807

Derived from 2 applications.

[Back to KR2002083807](#)

- 1 SEMICONDUCTOR DEVICE HAVING TRENCH ISOLATION STRUCTURE AND MANUFACTURING METHOD THEREOF**
Publication info: **KR2002083807 A** - 2002-11-04
- 2 Semiconductor device having a trench isolation structure and method for fabricating the same**
Publication info: **US6613647 B2** - 2003-09-02
US2002158302 A1 - 2002-10-31

Data supplied from the *esp@cenet* database - Worldwide

특2002-0083807

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H01L 21/76(11) 공개번호 특2002-0083807
(43) 공개일자 2002년11월04일

(21) 출원번호	10-2001-0023458
(22) 출원일자	2001년04월30일
(71) 출원인	삼성전자 주식회사
	경기 수원시 팔달구 매탄3동 416번지
(72) 발명자	김도형
	서울특별시 동작구 사당동209-3번지대아아파트101동1307호
(74) 대리인	임창현, 권혁수

심사청구 : 있음

(54) 트랜치 소자분리 구조를 가지는 반도체 소자 및 그 제조방법

요약

반도체 소자 및 그 제조방법을 제공한다. 이 반도체 소자는, 제1 트랜치 영역의 내벽에 형성된 제1 트랜치 산화막, 제1 트랜치 산화막의 내벽 상에 형성된 제1 절화막 라이너 및 제1 절화막 라이너에 의해 둘러싸여진 영역을 채우는 제1 절연막 패턴으로 구성되는 제1 소자분리막을 가지고, 제2 트랜치 영역의 내벽에 제1 트랜치 산화막 보다 얇게 형성된 제2 트랜치 산화막, 제2 트랜치 산화막의 내벽 상에 형성된 제2 절화막 라이너 및 제2 절화막 라이너에 의해 둘러싸여진 영역을 채우는 제2 절연막 패턴으로 구성되는 제2 소자분리막을 가진다. 두께가 다른 제1 트랜치 산화막 및 제2 트랜치 산화막을 형성하는 방법은, 제1 영역 및 제2 영역을 갖는 반도체 기판의 전면에 버퍼산화막 및 하드마스크막을 차례로 형성한다. 이어서, 상기 하드마스크막, 상기 버퍼산화막 및 상기 반도체 기판을 차례로 패터닝하여 상기 제1 영역에 제1 트랜치 영역을 형성하고, 상기 제1 트랜치 영역이 형성된 결과물에 제1 열산화 공정을 적용한다. 계속해서, 상기 하드마스크막, 상기 버퍼산화막 및 상기 반도체 기판을 차례로 패터닝하여 상기 제2 영역에 제2 트랜치 영역을 형성하고, 상기 제2 트랜치 영역이 형성된 결과물에 제2 열산화 공정을 적용하여, 상기 제1 트랜치 산화막을 상기 제2 트랜치 산화막보다 두껍게 형성한다.

도면

도8

명세서

도면의 간단한 설명

도 1 내지 도 3은 종래의 반도체 소자를 설명하기 위한 공정단면도들이다.

도 4 및 도 5는 트랜치 산화막의 두께에 따른 소자분리막을 설명하기 위한 단면도들이다.

도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.

도 7 내지 도 13은 본 발명의 바람직한 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 공정단면도들이다.

※ 도면의 주요부분에 대한 부호의 설명 ※

100: 반도체 기판22: 제1 트랜치 산화막

23: 제2 트랜치 산화막24a,24b: 절화막 라이너

26a,26b: 절연막 패턴30: 제1 소자분리막

31: 제2 소자분리막32,33: 게이트 산화막

34a,34c: 게이트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 트랜치 소자분리 구조를 가지는 반도체 소자 및 그 제조방법에 관한 것이다.

최근 반도체 소자는 게이트의 선폭 축소, 트렌치 소자분리 구조를 이용한 소자분리 영역의 축소 및 높은 장전용량을 가지는 캐패시터 구조의 개발 등에 의해 고집적화가 진행되고 있다. 이들 중 소자분리 영역의 축소는, LOCOS 소자분리 기술(local oxidation of silicon isolation technology)을 대체하여 트렌치 소자분리 기술(STI:shallow trench isolation technology)을 도입함으로써 셀 어레이 면적을 효과적으로 축소할 수 있다. 그러나, 트렌치 소자분리 구조의 경우, 반도체 기판을 식각하여 트렌치 영역을 형성함으로써 소자의 특성과 관련된 여러가지 불량을 일으킬 수 있다. 이러한 원인들을 극복하기 위하여 현재 다양한 방법을 사용한 트렌치 소자분리 형성공정들이 개발되고 있다.

도 1 내지 도 3은 종래의 트렌치 소자분리 구조를 가지는 반도체 소자를 설명하기 위한 공정단면도들이다. 도면에서 참조부호 a로 표시된 부분은 셀 어레이 영역에 해당하고, 참조부호 b로 표시된 부분은 PMOS를 포함하는 주변회로 영역에 해당한다.

도 1을 참조하면, 반도체 기판(100) 상에 버퍼산화막 및 하드마스크막을 형성하고, 포토레지스트 패턴(106)을 식각마스크로 사용하여 상기 하드마스크막 및 상기 버퍼산화막을 패터닝하여 차례로 적층된 버퍼산화막 패턴(104) 및 하드마스크 패턴(104)을 형성한다.

도 2를 참조하면, 상기 포토레지스트 패턴(106)을 제거하고 상기 하드마스크 패턴(104)을 식각마스크로 사용하여 상기 반도체 기판(100)을 식각하여 활성영역을 한정하는 트렌치 영역을 형성한다. 이어서, 상기 트렌치 영역의 내벽에 트렌치 산화막(108)을 형성하고, 상기 트렌치 산화막(108)의 내벽 상에 질화막(110)을 콘포멀하게 형성한다. 계속해서, 상기 질화막(110)에 의해 둘러싸여진 영역을 채우는 절연막(112)을 형성한다.

도 3을 참조하면, 상기 절연막(112)을 화학적기계적 연마공정을 사용하여 평탄화한다. 그 결과, 상기 트렌치 산화막(108) 상에 질화막 라이너(110a)가 형성되고, 상기 질화막 라이너(110a)에 의해 둘러싸여진 영역 내에 절연막 패턴(114)이 형성된다. 이어서, 상기 절연막 패턴(114)의 상부를 리세스시킨 후, 상기 하드마스크 패턴(104)을 인산용액에 의한 습식식각을 사용하여 제거하여 소자분리막을 형성한다.

상술한 바와 같이 종래기술은 셀 어레이 영역 및 주변회로 영역의 트렌치 소자분리막들이 동시에 형성된다. 다시 말해서, 셀 어레이 영역 내의 트렌치 산화막의 두께는 주변회로 영역 내의 트렌치 산화막과 동일한 두께를 갖는다. 이 경우, 상기 트렌치 산화막의 두께는 활성영역에 형성되는 MOS 트랜지스터들의 특성에 직접적으로 영향을 끼친다. 이러한 문제점은 도 4 및 도 5를 통하여 상세히 설명된다.

도 4는 트렌치 산화막의 두께가 상대적으로 두꺼운 경우에 MOS 트랜지스터의 특성이 저하되는 현상을 설명하기 위한 단면도이다.

도 4에서 도시된 바와 같이, 트렌치 영역의 내벽에 형성되는 트렌치 산화막(108a), 즉 트렌치 열산화막이 상대적으로 두꺼우면, 트렌치 영역의 상부코너가 뾰족해진다. 이에 더하여, 하드마스크 패턴(도 1 및 도 2의 104) 및 버퍼산화막 패턴(도 1 및 도 2의 102)을 제거하는 동안, 상기 트렌치 산화막(108a)이 과도하게 식각되어 리세스된 영역(40)이 형성된다. 상기 리세스된 영역(40)을 갖는 결과물의 활성영역 상에 게이트 산화막(32)이 형성되고, 상기 게이트 산화막(32) 및 소자분리막을 덮는 게이트 전극(34)이 형성된다.

트렌치 영역의 상부코너가 뾰족하고 리세스된 영역(40)이 형성되면, 상기 게이트 전극(34)에 문턱전압보다 낮은 서브쓰레숄드 전압(subthreshold voltage)이 인가될지라도 역협폭 효과(Inverse narrow-width effect)에 기인하여 상기 트렌치 영역의 상부측벽에 채널이 형성될 수 있다. 이는 상기 트렌치 영역의 보폭한 상부 코너를 덮는 게이트 산화막(32)에 국부적으로 강한 전계가 집중되기 때문이다. 결과적으로, MOS 트랜지스터의 소오스 영역 및 드레인 영역 사이에 원하지 않는 누설전류가 흐른다. 이에 더하여, 상기 게이트 산화막(32)의 신뢰성이 저하되어 게이트 누설전류를 증가시킨다. 특히, 이러한 역협폭효과가 DRAM의 셀 트랜지스터에서 발생되면, 짧은 리프래쉬 주기가 요구되어 전력소모가 증가한다.

도 5는 트렌치 산화막의 두께가 상대적으로 얇은 경우에 MOS 트랜지스터의 특성이 저하되는 문제점을 설명하기 위한 단면도이다.

도 5에 도시된 바와 같이, 트렌치 산화막(108b)의 두께가 상대적으로 얇으면, 도 4에서 언급된 리세스된 영역(40)이 형성되는 것을 방지할 수 있다. 이에 더하여, 트렌치 영역의 상부코너가 둥근 형태를 갖는다. 따라서, 역협폭효과에 기인한 누설전류 특성을 현저히 개선시킬 수 있다. 그러나, 트렌치 산화막(108b)의 내벽을 덮는 질화막 라이너(110a)는 일반적으로 음의 전하(negative charge)를 갖는 것으로 알려져 있다. 이에 따라, 상기 트렌치 산화막(108b)이 얇은 경우에, 트렌치 영역의 측벽에 양의 커패시턴스 전하가 유도되어(induced) 원하지 않는 p채널이 형성된다. 결과적으로, 상기 트렌치 산화막(108b)이 얇으면, PMOS 트랜지스터의 누설전류 특성이 저하되거나 PMOS 트랜지스터의 오동작(malfunction)이 발생할 수 있다.

본 발명이 이루고자 하는 기술적 과제

상술한 문제점을 해결하기 위하여 본 발명의 목적은, 셀 어레이 영역의 NMOS 트랜지스터와 주변회로의 PMOS 트랜지스터가 형성될 영역에 서로 다른 두께의 트렌치 산화막을 가지는 반도체 소자를 제공하는데 있다.

본 발명의 다른 목적은, 셀 어레이 영역의 NMOS 트랜지스터와 주변회로의 PMOS 트랜지스터가 형성될 영역에 서로 다른 두께의 트렌치 산화막을 형성할 수 있는 반도체 소자의 제조방법을 제공하는데 있다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은, 반도체 기판의 제1 영역 및 제2 영역에 각각 형성된 제1 소자분리막 및 제2 소자분리막을 포함한다. 상기 제1 소자분리막은 상기 제1 영역내에 활성영역을 한정한다. 이와 마찬가지로, 상기 제2 소자분리막은 상기 제2 영역 내에 활성영역을 한정한다. 상기 제1 소자분리막은

제1 트랜치 영역의 내벽에 형성된 제1 트랜치 산화막, 상기 제1 트랜치 산화막의 내벽 상에 형성된 제1 절화막 라이너 및 상기 제1 절화막 라이너에 의해 둘러싸여진 영역을 채우는 제1 절연막 패턴으로 구성된다. 또한, 상기 제2 소자분리막은 제2 트랜치 영역의 내벽에 상기 제1 트랜치 산화막보다 얇게 형성된 제2 트랜치 산화막을 포함한다. 이에 더하여, 상기 제2 소자분리막은 상기 제2 트랜치 산화막의 내벽 상에 형성된 제2 절화막 라이너 및 상기 제2 절화막 라이너에 의해 둘러싸여진 영역을 채우는 제2 절연막 패턴을 포함한다.

본 발명에 따른 반도체 소자에 있어서, 상기 제1 트랜치 영역들 사이의 활성영역은 PMOS를 포함하는 주변회로 영역에 해당하고, 상기 제2 트랜치 영역들 사이의 활성영역은 셀 어레이 영역에 해당한다.

상기 다른 목적을 달성하기 위하여 본 발명은, 반도체 기판의 제1 영역 및 제2 영역에 각각 제1 트랜치 영역 및 제2 트랜치 영역을 형성한다. 이어서, 상기 제1 트랜치 영역의 내벽 및 상기 제2 트랜치 영역의 내벽에 각각 제1 트랜치 산화막 및 제1 트랜치 산화막보다 얇은 제2 트랜치 산화막을 형성한다. 계속해서, 상기 제1 트랜치 산화막의 내벽 및 상기 제2 트랜치 산화막의 내벽 상에 절화막을 콘포멀하게 형성한다. 그리고, 상기 제1 트랜치 영역에 상기 절화막에 의해 둘러싸여진 영역을 채우는 제1 절연막 패턴 및 상기 제2 트랜치 영역에 상기 절화막 라이너에 의해 둘러싸여진 영역을 채우는 제2 절연막 패턴을 형성한다. 그 결과, 상기 제1 영역에 제1 소자분리막이 형성되고, 상기 제2 영역에 상기 제1 소자분리막을 구성하는 제1 트랜치 산화막 보다 얇은 제2 트랜치 산화막을 가지는 제2 소자분리막이 형성된다.

본 발명의 실시예에서 상기 제1 및 제2 트랜치 산화막을 형성하기 위하여, 제1 영역 및 제2 영역을 갖는 반도체 기판의 전면에 버퍼산화막 및 하드마스크막을 차례로 형성한다. 이어서, 상기 하드마스크막, 상기 버퍼산화막 및 상기 반도체 기판을 차례로 패터닝하여 상기 제1 영역에 제1 트랜치 영역을 형성하고, 상기 제1 트랜치 영역이 형성된 결과물에 제1 열산화 공정을 적용한다. 계속해서, 상기 하드마스크막, 상기 버퍼산화막 및 상기 반도체 기판을 차례로 패터닝하여 상기 제2 영역에 제2 트랜치 영역을 형성하고, 상기 제2 트랜치 영역이 형성된 결과물에 제2 열산화 공정을 적용하여, 상기 제1 트랜치 산화막을 상기 제2 트랜치 산화막보다 두껍게 형성한다.

본 발명에 따른 반도체 소자에 있어서, 상기 제1 트랜치 영역들 사이의 활성영역에는 PMOS 트랜지스터를 포함하는 주변회로가 형성된다. 또한, 상기 제2 트랜치 영역들 사이의 활성영역에는 셀 트랜지스터들 및 커패시터들을 포함하는 셀 어레이 영역이 형성된다.

이하 본 발명의 바람직한 실시예를 첨부한 도면들을 참조하여 상세하게 설명하도록 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층이 다른 층 또는 기판 상에 있다고 언급되어지는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자를 설명하기 위한 단면도이다.

도 6을 참조하면, 주변회로 영역(b)에 제1 트랜치 산화막(22), 제1 절화막 라이너(24a) 및 제1 절연막 패턴(26a)로 구성된 제1 소자분리막(30)이 위치하고, 셀 어레이 영역(a)에 제2 트랜치 산화막(23), 제2 절화막 라이너(24b) 및 제2 절연막 패턴(26b)로 구성된 제2 소자분리막(31)이 위치한다. 상기 제1 소자분리막(30)은 주변회로 영역에 활성영역을 한정하고, 상기 제2 소자분리막(31)은 셀 어레이 영역(a)에 활성영역을 한정한다. 상기 제1 소자분리막(30) 사이의 활성영역 상에 게이트 산화막(33)이 개재된 주변회로 트랜지스터 게이트(34c)가 형성되고, 상기 제2 소자분리막(31) 사이의 활성영역 상에 게이트 산화막(33)을 개재된 셀 트랜지스터 게이트(34a)가 형성된다. 상기 게이트 산화막(33)은 셀 어레이 영역(a) 및 주변회로 영역(b)에 서로 다른 두께로 형성할 수 있다. 도면에서 보는 것과 같이 본 발명은 셀 트랜지스터에서 역협폭효과(inverse narrow-width effect)의 발생을 방지하기 위하여 셀 어레이 영역(a)의 제2 소자분리막(31)은 상대적으로 얇은 트랜치 산화막(23)을 가진다. 이와 달리 PMOS트랜지스터가 형성되는 주변회로(b) 영역의 제1 소자분리막(30)은 절화막 라이너에 트랩되는 전하의 영향을 억제하기 위하여 상기 셀 어레이 영역(a)의 트랜치 산화막(23)에 비하여 두꺼운 트랜치 산화막(22)을 가진다. 따라서, 종래의 셀 어레이 및 주변회로 영역의 소자분리막을 동시에 형성할 때 발생하는 셀 트랜지스터 및 PMOS 트랜지스터의 누설전류 문제를 해결할 수 있다. 상기 제1 트랜치 산화막(22)은 100Å 내지 200Å 두께인 것이 바람직하고, 상기 제2 트랜치 산화막(23)은 50Å 내지 100Å 두께인 것이 바람직하다.

도 7 내지 도 13은 본 발명의 바람직한 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 공정단면도들이다.

도 7을 참조하면, 셀 어레이 영역(a) 및 주변회로 영역(b)에 버퍼산화막(11) 및 하드마스크막(12)을 차례로 형성하고, 하드마스크막(12) 상에 제1 포토레지스트 패턴(13)을 형성한다.

상기 버퍼 산화막(11)은 상기 하드마스크막(12)에 의해 반도체 기판(100)에 가해지는 스트레스를 완충시키는 역할을 하도록 100Å 내지 200Å의 두께로 형성하는 것이 바람직하다. 상기 하드마스크막(12)은 상기 반도체 기판(100)과 식각선택비를 가지는 물질막으로써, 예컨대 실리콘질화막 또는 실리콘질화막 및 산화막을 차례로 적층하여 형성하는 것이 바람직하다. 또한, 상기 하드마스크막(12)은 500Å 내지 2000Å의 두께로 형성하는 것이 바람직하다.

도 8을 참조하면, 상기 제1 포토레지스트 패턴(13)을 식각마스크로 사용하여, 상기 하드마스크막(12), 상기 버퍼산화막(11) 및 상기 반도체 기판(100)을 차례로 식각하여 상기 주변회로 영역(b)에 제1 트랜치 영역(T1)을 형성한다. 이어서, 상기 제1 포토레지스트 패턴(13)을 제거하고, 상기 제1 트랜치 영역(T1)의 측벽 및 바닥에 제1 열산화 공정을 적용하여 예비 산화막(21)을 형성한다.

상기 제1 트랜치 영역은 상기 반도체 기판(100)을 2000Å 내지 10000Å정도 식각하여 형성하는 것이 바람직하다. 상기 예비 산화막(21)은 50Å 내지 100Å 두께로 형성하는 것이 바람직하다.

도 9를 참조하면, 상기 예비 산화막(21)이 형성된 반도체 기판(100) 상에 상기 제1 트렌치 영역(T1)을 덮고, 상기 셀 어레이 영역(a)의 소정영역을 노출시키는 제2 포토레지스트 패턴(14)을 형성한다. 상기 제2 포토레지스트 패턴(14)을 식각마스크로 사용하여, 상기 하드마스크막(12), 상기 버퍼 산화막(11) 및 상기 반도체 기판(100)을 차례로 식각하여 상기 셀 어레이 영역(a) 내에 제2 트렌치 영역(T2)을 형성한다.

상기 제2 트렌치 영역(T2)은 필요에 따라 상기 제1 트렌치 영역(T1)과 다른 깊이로 형성할 수 있다. 예컨대, 상기 제2 트렌치 영역(T2)의 폭이 상기 제1 트렌치 영역(T1)의 폭보다 좁을 경우, 소자분리막을 형성하는 과정에서 보이드의 발생을 방지하기 위하여 상기 제2 트렌치 영역(T2)의 깊이를 얇게 형성할 수 있다.

도 10을 참조하면, 상기 제2 포토레지스트 패턴(14)을 제거하고, 상기 반도체 기판(100)에 제2 열산화 공정을 실시한다. 상기 제2 열산화 공정은 상기 제2 트렌치 영역(T2)을 형성하기 위하여 반도체 기판을 식각하는 동안 발생한 반도체 기판의 결함을 복구하기 위하여 실시한다. 또한, 상기 제2 열산화 공정은 상기 제2 트렌치 영역(T2)의 바닥 및 측벽에 50Å 내지 100Å 두께의 열 산화막이 형성되도록 하는 것이 바람직하다. 상기 제2 열산화 공정을 실시하는 과정에서 상기 제1 트렌치 영역(T1)이 함께 산화되어 제1 열산화 공정에서 형성된 예비 산화막(21)에 열 산화막이 더 추가된다. 그 결과, 상기 제1 트렌치 영역(T1) 내에 100Å 내지 200Å 두께의 두꺼운 제1 트렌치 산화막(23)이 형성되고, 상기 제2 트렌치 영역(T2) 내에 상기 제1 트렌치 산화막(23)보다 얇은 50Å 내지 100Å의 제2 트렌치 산화막(22)이 형성된다.

도 11을 참조하면, 상기 제1 트렌치 산화막(23) 및 제2 트렌치 산화막(22)이 형성된 결과를 전면적으로 질화막(24)을 콘포말하게 형성한다. 상기 질화막(24)은 50Å 내지 200Å 두께로 형성하는 것이 바람직하다. 이어서, 상기 질화막(24)이 형성된 결과를 전면적으로 상기 제1 및 제2 트렌치 영역(T1, T2)을 채우는 절연막(25)을 형성한다. 상기 절연막(25)은 매립특성이 우수한 물질막으로 고밀도 플라즈마(HDP CVD; high density plasma chemical vapor deposition)산화막, BPSG(boro-phospho silicate glass)막 및 SiO_2 -TEOS막 중 하나로 형성하는 것이 바람직하다. 상기 절연막(25)을 고밀도 플라즈마 CVD막으로 형성할 경우, 높은 에너지의 플라즈마를 사용하게 된다. 따라서, 높은 에너지의 플라즈마에 의하여 상기 질화막 라이너(24)가 식각되는 것을 방지하기 위하여 상기 고밀도 플라즈마 CVD막을 형성하기 이전에 MTO(medium temperature oxide)막을 콘포말하게 형성하는 것이 바람직하다.

도 12를 참조하면, 상기 절연막(25)을 화학적기계적 연마공정(CMP; chemical-mechanical polishing)을 사용하여 상기 트렌치 영역을 사이의 하드마스크막(12)이 노출되도록 식각한다. 이 때, 상기 절연막(25)이 상기 하드마스크막(12)의 상부에 잔존하는 것을 방지하기 위하여 상기 하드마스크막(12)의 상부가 일부 식각되도록 하는 것이 바람직하다. 그 결과, 상기 제1 트렌치 산화막(22) 상에 제1 질화막 라이너(24a)가 형성되고, 상기 제1 질화막 라이너(24a)에 의해 둘러싸여진 영역 내에 제1 절연막 패턴(26a)이 형성된다. 이와 마찬가지로, 상기 제2 트렌치 산화막(23) 상에 제2 질화막 라이너(24b)가 형성되고, 상기 제2 질화막 라이너(24b)에 의해 둘러싸여진 영역 내에 제2 절연막 패턴(26b)이 형성된다. 이어서, 상기 제1 및 제2 절연막 패턴(26)의 상부를 리세스 시키어 상기 제1 및 제2 절연막 패턴(26)의 상부면의 높이를 낮춘다. 상기 제1 및 제2 절연막 패턴(26)의 상부면의 높이를 낮추는 목적은 이후 공정에서 게이트 전극을 형성하였을 때, 반도체 기판과 소자분리막 상부를 지나는 게이트 전극의 단차를 감소시키기 위함이다.

도 13을 참조하면, 상기 잔존한 하드마스크막(12) 및 상기 하드마스크막(12) 측벽에 잔존한 제1 및 제2 질화막 라이너(24a, 24b)를 등방성 식각방법, 예컨대 인산용액을 사용한 습식식각방법을 사용하여 제거하고, 상기 버퍼 산화막(11)을 제거한다. 그 결과, 주변회로 영역(b)에 제1 트렌치 산화막(22), 제1 질화막 라이너(24a) 및 제1 절연막 패턴(26a)으로 구성된 제1 소자분리막(30)이 형성되고, 셀 어레이 영역(a)에 제2 트렌치 산화막(23), 제2 질화막 라이너(24b) 및 제2 절연막 패턴(26b)으로 구성된 제2 소자분리막(31)이 형성된다.

이어서 도시하지는 않았지만, 상기 제1 소자분리막들(30) 사이의 영역에 넓은 게이트 선폴을 가지는 PMOS 트랜지스터들을 포함하는 주변회로가 형성되고, 상기 제2 소자분리막들(31) 사이의 영역에 게이트 선폴이 좁은 셀 트랜지스터를 및 캐패시터를 포함하는 셀 어레이가 형성된다.

발명의 효과

상술한 바와 같이 본 발명의 반도체 소자는 셀 어레이 영역과 주변회로 영역에 서로 다른 두께의 트렌치 산화막을 포함하는 소자분리막을 가진다. 그 결과, 셀 캐패시터의 누설전류를 방지함과 동시에 주변회로의 PMOS 트랜지스터의 트랩된 전하에 의한 영향을 최소화할 수 있다.

(5) 청구의 범위

청구항 1

반도체 기판의 제1 영역 및 제2 영역에 각각 형성된 제1 트렌치 영역 및 제2 트렌치 영역;

상기 제1 트렌치 영역 내에 형성된 제1 소자분리막; 및

상기 제2 트렌치 영역 내에 형성된 제2 소자분리막을 포함하되, 상기 제1 소자분리막은 상기 제1 트렌치 영역의 내벽에 형성된 제1 트렌치 산화막, 상기 제1 트렌치 산화막의 내벽 상에 형성된 제1 질화막 라이너 및 상기 제1 질화막 라이너에 의해 둘러싸여진 영역을 채우는 제1 절연막 패턴으로 구성되고, 상기 제2 소자분리막은 상기 제2 트렌치 영역의 내벽에 형성된 제2 트렌치 산화막, 상기 제2 트렌치 산화막의 내벽 상에 형성된 제2 질화막 라이너 및 상기 제2 질화막 라이너에 의해 둘러싸여진 영역을 채우는 제2 절연막 패턴으로 구성되고, 상기 제1 트렌치 산화막은 상기 제2 트렌치 산화막보다 두꺼운 것을 특징으로 하는 반도체 소자.

청구항 2

제1 항에 있어서,

상기 제1 영역은 PMOS 트랜지스터를 포함하는 주변회로 영역에 해당하는 것을 특징으로 하는 반도체 소자.

청구항 3

제1 항에 있어서,

상기 제2 영역은 셀 어레이 영역에 해당하는 것을 특징으로 하는 반도체 소자.

청구항 4

반도체 기판의 제1 영역 및 제2 영역에 각각 제1 트렌치 영역 및 제2 트렌치 영역을 형성하는 단계;

상기 제1 트렌치 영역의 내벽 및 상기 제2 트렌치 영역의 내벽에 각각 제1 트렌치 산화막 및 제1 트렌치 산화막보다 얇은 제2 트렌치 산화막을 형성하는 단계;

상기 제1 트렌치 산화막 및 상기 제2 트렌치 산화막이 형성된 결과를 전면에 질화막을 콘포멀하게 형성하는 단계; 및

상기 제1 트렌치 영역에 상기 질화막에 의해 둘러싸여진 영역을 채우는 제1 절연막 패턴 및 상기 제2 트렌치 영역에 상기 질화막에 의해 둘러싸여진 영역을 채우는 제2 절연막 패턴을 형성하는 단계를 포함하는 반도체 소자의 제조방법.

청구항 5

제4 항에 있어서,

상기 제1 트렌치 영역, 상기 제2 트렌치 영역, 상기 제1 트렌치 산화막 및 상기 제2 트렌치 산화막을 형성하는 단계는,

제1 영역 및 제2 영역을 갖는 반도체 기판의 전면에 버퍼산화막 및 하드마스크막을 차례로 형성하는 단계;

상기 하드마스크막, 상기 버퍼산화막 및 상기 반도체 기판을 차례로 패터닝하여 상기 제1 영역에 제1 트렌치 영역을 형성하는 단계;

상기 제1 트렌치 영역이 형성된 결과물에 제1 열산화 공정을 적용하는 단계;

상기 하드마스크막, 상기 버퍼산화막 및 상기 반도체 기판을 차례로 패터닝하여 상기 제2 영역에 제2 트렌치 영역을 형성하는 단계; 및

상기 제2 트렌치 영역이 형성된 결과물에 제2 열산화 공정을 적용하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6

제5 항에 있어서,

상기 하드 마스크막은 실리콘 질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 7

제5 항에 있어서,

상기 하드 마스크막은 실리콘 질화막 및 산화막을 차례로 적층하여 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 8

제5 항에 있어서,

상기 제1 열산화 공정은 상기 제1 트렌치 영역의 바닥 및 측벽에 50 Å 내지 100 Å의 두께의 열산화막이 형성되도록 하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 9

제5 항에 있어서,

상기 제2 열산화 공정은 상기 제2 트렌치 영역의 측벽 및 바닥에 50 Å 내지 100 Å 두께의 열산화막이 형성되도록 하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10

제4 항에 있어서,

상기 질화막은 50 Å 내지 100 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11

제4 항에 있어서,

상기 제1 및 제2 절연막 패턴은 BPS6막, O_2 -TEOS막 또는 HDP CVD(high density plasma CVD) 산화막으로 형

성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 12

제11 항에 있어서,

상기 HDP CVD 산화막을 형성하기 전에,

상기 제1 및 제2 절화막 라이너에 의해 둘러싸여진 영역에 MTO(Medium Temperature Oxide)막을 콘포멀하게 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 13

제4 항에 있어서,

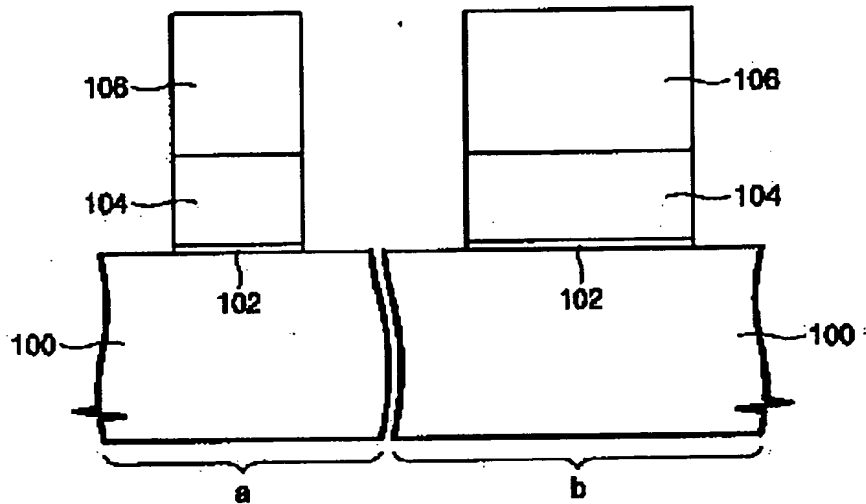
상기 제1 및 제2 산화막 패턴을 형성한 후,

상기 제1 영역에 셀 어레이를 형성하고, 상기 제2 영역에 PMOS 트랜지스터를 포함하는 주변회로를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

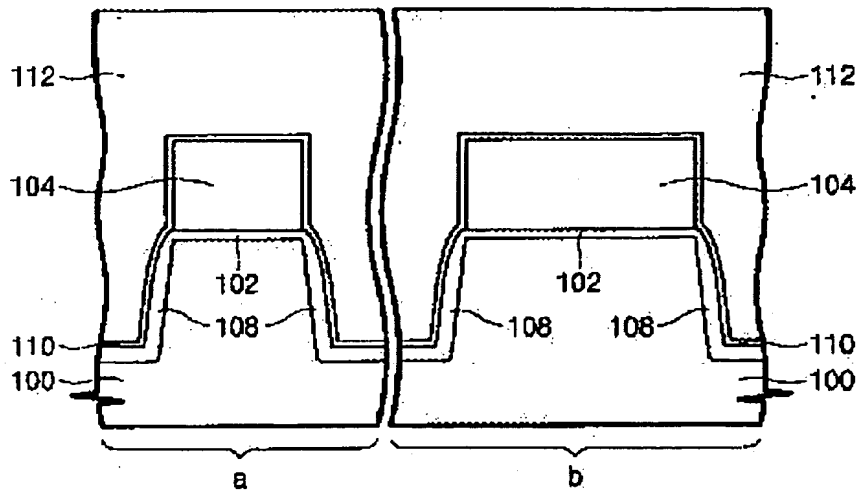
도면1

(종리 기술)



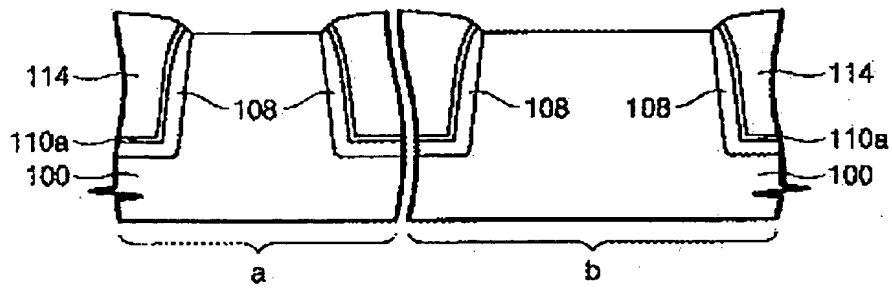
도면2

(중래 기술)

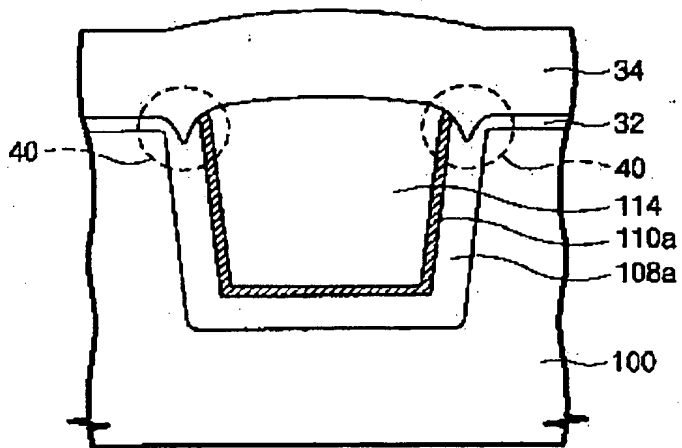


도면3

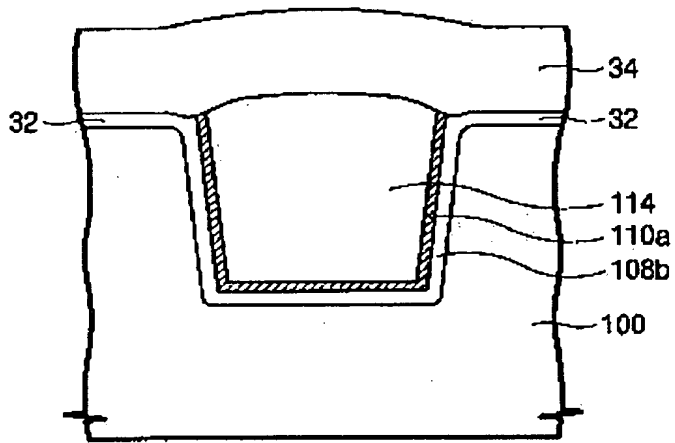
(중래 기술)



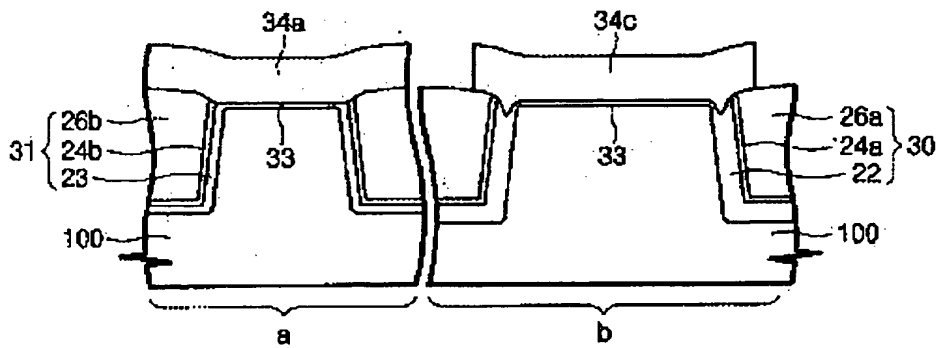
도 4



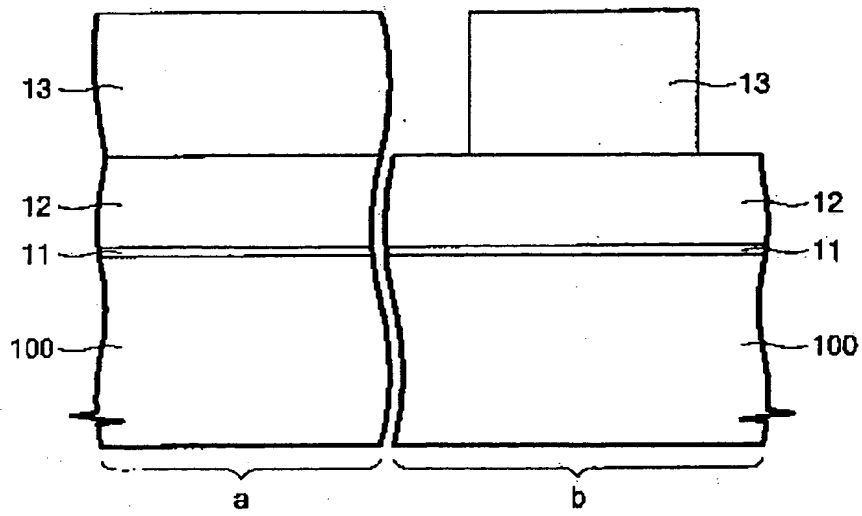
도 5



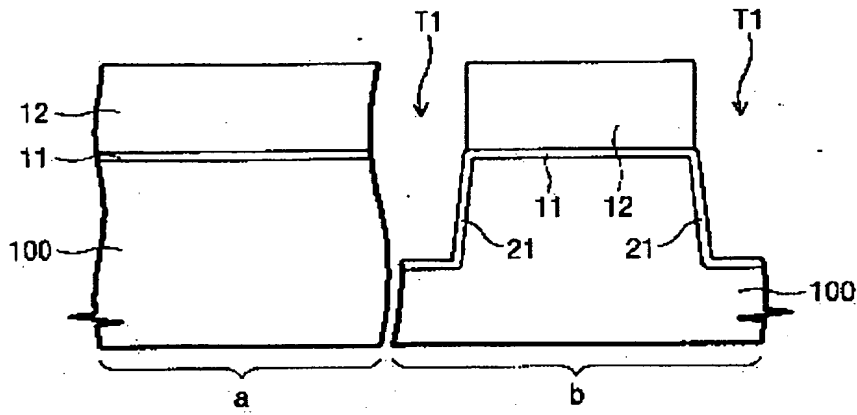
도 6



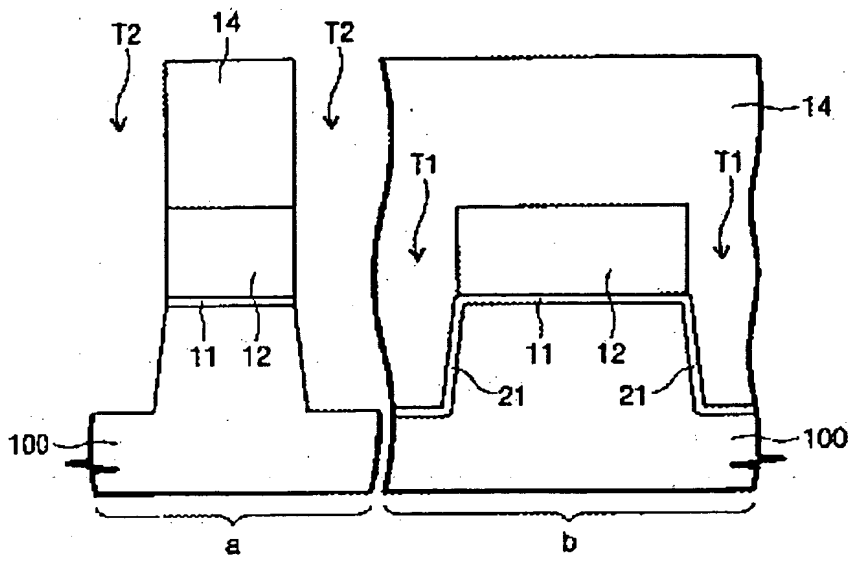
도 7



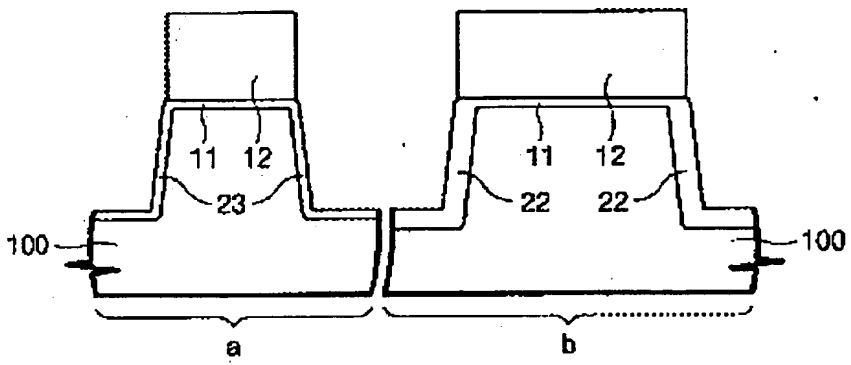
도 8



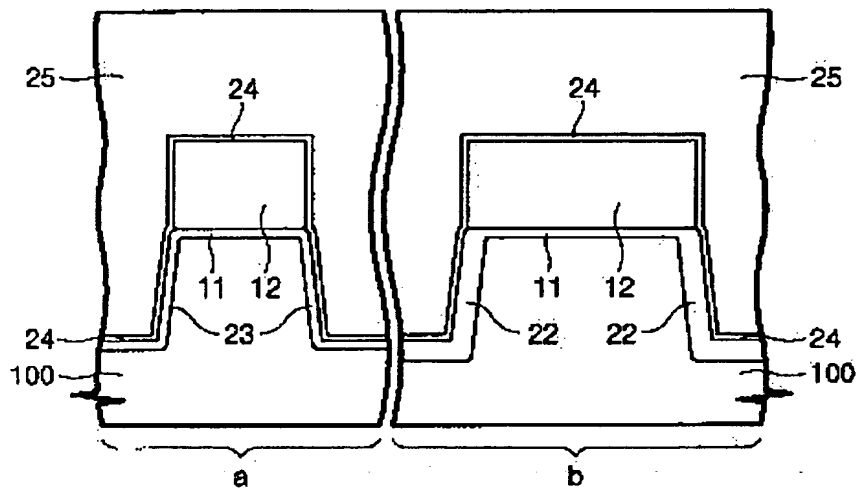
도 9



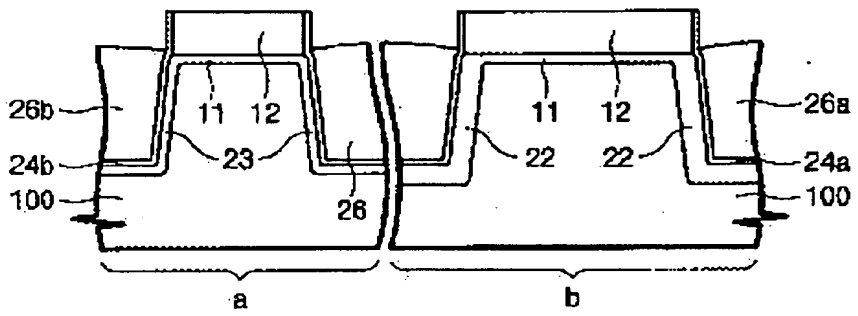
도 10



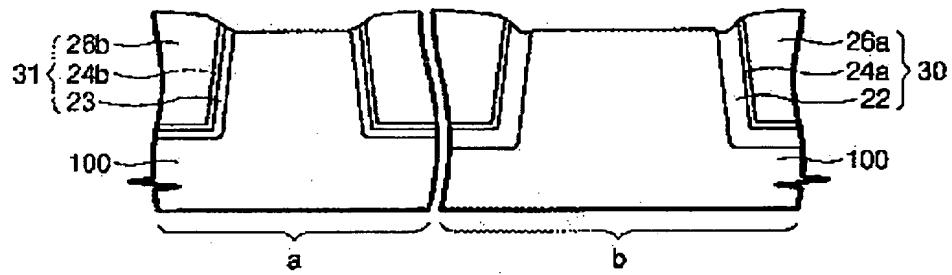
도 11



도 12



도 13



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKewed/SLANTED IMAGES**
- ☒ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.